

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-001861

(43)Date of publication of application : 07.01.1997

(51)Int.Cl.

B41J 2/44  
G02B 26/10

(21)Application number : 08-111780

(71)Applicant : RICOH CO LTD

(22)Date of filing : 02.05.1996

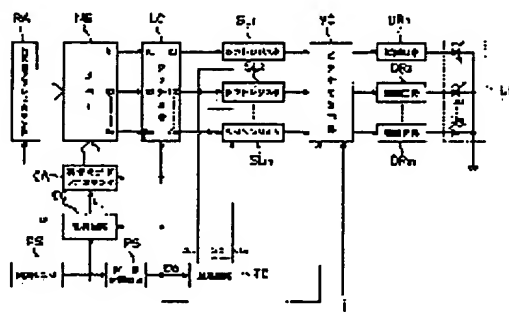
(72)Inventor : SHIMADA KAZUYUKI

## (54) RECORDER

## (57)Abstract:

PROBLEM TO BE SOLVED: To accurately correct a phase difference between optical beams at the time of simultaneously scanning a plurality of optical beams with a simple structure.

SOLUTION: An object to be scanned is scanned by a plurality of optical beams from laser diodes of a semiconductor laser array LD. Image information corresponding to the plurality of optical beams is read from a memory ME according to an image scanning clock Ck0 corresponding to the one beam received by a synchronizing sensor FS provided out of an image scanning area, and the pieces of image information are respectively input to a plurality of shift registers SL1 to SLm. The phases of the pieces of image information input to the plurality of shift registers are regulated according to the plurality of shift clocks Ck1 to Ckm generated with the clock Ck0 as a reference.



## LEGAL STATUS

[Date of request for examination] 31.05.1996

[Date of sending the examiner's decision of rejection] 10.03.1998

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-1861

(43)公開日 平成9年(1997)1月7日

(51)Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
B 4 1 J 2/44			B 4 1 J 3/00	D
G 0 2 B 26/10			G 0 2 B 26/10	B

審査請求 有 発明の数 1 O L (全 8 頁)

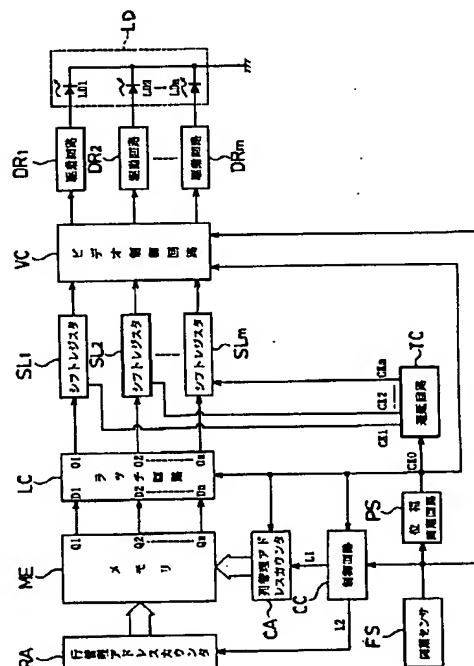
(21)出願番号	特願平8-111780	(71)出願人	000006747
(62)分割の表示	特願昭60-267243の分割		株式会社リコー
(22)出願日	昭和60年(1985)11月29日	(72)発明者	島田 和之
			東京都大田区中馬込1丁目3番6号 株式
			会社リコー内
		(74)代理人	弁理士 大澤 敬

(54)【発明の名称】 記録装置

(57)【要約】

【課題】 複数本の光ビームを同時に走査させた時の各光ビーム間の位相差を、簡単な構成で、精度よく補正できるようにする。

【解決手段】 半導体レーザアレイLDの各レーザダイオードからの複数本の光ビームによって走査対象物を走査する。画像走査領域外に設けた同期センサFSが受光する1つの光ビームに対応した画像走査クロックCk0によって上記複数本の光ビームに対応する画像情報をメモリMEから読出し、その各画像情報をそれぞれ複数のシフトレジスタSL1～SLmの入力とし、上記クロックCk0を基準に生成した複数のシフトクロックCk1～Ckmによって、上記複数のシフトレジスタに入力された各画像情報間の位相を調整する。



## 【特許請求の範囲】

【請求項1】 複数本の光ビームによって走査対象物を走査すると共に、画像走査領域外に設けた前記光ビームを受光する光センサの出力に基づいて前記複数本の光ビームの主走査方向の同期をとる記録装置において、前記複数本の光ビームの内の前記光センサが最初に受光する光ビームに対応した画像走査クロックによって前記複数本の光ビームに対応する画像情報を読出す画像情報読出し手段を設けたことを特徴とする記録装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、複数本の光ビームによって走査対象物を走査する記録装置に関する。

## 【0002】

【従来の技術】一般に、走査型記録装置として、例えば複数本の光ビームによって走査対象物を走査するものがある。ところで、このような記録装置においては、走査線間隔を密にするために例えば光ビームの発生光源である半導体レーザアレイを傾けて取付けている。

## 【0003】

【発明が解決しようとする課題】そのため、複数本の光ビームを同時に走査させると、各光ビーム間に主走査方向の位相差（位相ずれ）が生じるという不都合がある。この発明は上記の点に鑑みてなされたものであり、簡単な構成で各光ビーム間の位相差を補正することを目的とする。

## 【0004】

【課題を解決するための手段】この発明は上記の目的を達成するため、複数本の光ビームの内の光センサが最初に受光する光ビームに対応した画像走査クロックによって複数本の光ビームに対応する画像情報を読出すようにしたものである。

## 【0005】

【発明の実施の形態】以下、この発明の実施の形態を図面に基いて具体的に説明する。図1は、この発明の一実施形態を示すブロック図である。

【0006】半導体レーザアレイLDは、複数（ $m$ 個）のレーザダイオードLD<sub>1</sub>～LD<sub>m</sub>からなり、例えば図2の（イ）に示すように主走査方向に対して角度 $\theta$ の傾きを持たせて配置している。

【0007】したがって、この半導体レーザアレイLDの各レーザダイオードLD<sub>1</sub>～LD<sub>m</sub>から出力される光ビームのビームスポットは、図2の（ロ）に示すように主走査方向にずれた関係になる。

【0008】同期センサFSは、半導体レーザアレイLDの各レーザダイオードLD<sub>1</sub>～LD<sub>m</sub>からの光ビームによる画像走査領域外に設けられて、例えばその半導体レーザアレイLD内のレーザダイオードLD<sub>1</sub>からの光ビームを最初に受光する光センサと、この光センサの出力を整形処理等する回路とからなる。

【0009】位相同期回路PSは、同期センサFSからの最初に受光した光ビームに対応する出力が入力されたときにクロック信号CK<sub>0</sub>を生成出力する回路であり、このクロック信号CK<sub>0</sub>は同期センサFSが最初に受光する光ビームに同期したものとなる。また、この位相同期回路PSは、1クロックの1/N以内で位相合わせを行なう。ただし、 $N \geq 2$ である。

【0010】遅延回路TCは、位相同期回路PSからのクロック信号CK<sub>0</sub>を入力して、半導体レーザアレイLDの各レーザダイオードLD<sub>1</sub>～LD<sub>m</sub>に対応した画像走査クロック信号CK<sub>1</sub>～CK<sub>m</sub>を生成して出力する。

【0011】メモリMEには、記録する画像情報（データ）が格納され、行管理アドレスカウンタRA及び列管理アドレスカウンタCAによって指定されるアドレスのデータが端子Q<sub>1</sub>～Q<sub>m</sub>から読出される。その列管理アドレスカウンタCAは、位相同期回路PSからのクロック信号CK<sub>0</sub>が入力される毎に指定アドレスを更新する。

【0012】制御回路CCは、同期センサFSの出力及び位相同期回路PSからのクロック信号CK<sub>0</sub>に基づいて、メモリMEから画像情報をクロック信号CK<sub>0</sub>によって転送する際に必要な制御信号L<sub>1</sub>、L<sub>2</sub>を生成して、制御信号L<sub>1</sub>を列管理アドレスカウンタCAに、制御信号L<sub>2</sub>を行管理アドレスカウンタRAに夫々出力する。なお、この制御回路CCから出力する制御信号L<sub>1</sub>は1ラインでのデータ有効範囲を決めるための信号であり、制御信号L<sub>2</sub>は改行のための信号である。

【0013】ラッチ回路LCは、メモリMEの各端子Q<sub>1</sub>～Q<sub>m</sub>からの出力を端子D<sub>1</sub>～D<sub>m</sub>に入力して、位相同期回路PSからのクロック信号CK<sub>0</sub>に同期して端子Q<sub>1</sub>～Q<sub>m</sub>から出力する。

【0014】つまり、このラッチ回路LCは、メモリMEからクロック信号CK<sub>0</sub>によって読出されるデータを再度クロック信号CK<sub>0</sub>によって同期をとるためのバッファ回路である。したがって、このラッチ回路LCは、メモリMEの端子Q<sub>1</sub>～Q<sub>m</sub>からの出力がシフトレジスタSL<sub>1</sub>～SL<sub>m</sub>に到達するまでに位相ずれが生じなければ不要である。

【0015】シフトレジスタSL<sub>1</sub>～SL<sub>m</sub>は、ラッチ回路LCの各端子Q<sub>1</sub>～Q<sub>m</sub>からの出力を遅延回路TCからの各クロック信号CK<sub>1</sub>～CK<sub>m</sub>をシフトクロックとして読込んで出力する。つまり、このシフトレジスタSLは、半導体レーザアレイLDの各レーザダイオードLD<sub>1</sub>～LD<sub>m</sub>から射出される各光ビーム間の位相差を補正する回路である。

【0016】ビデオ制御回路VCは、シフトレジスタSL<sub>1</sub>～SL<sub>m</sub>からの入力と同期センサFSからの入力とに応じて位相同期回路PSからのクロック信号CK<sub>0</sub>を制御クロックとしてビデオ信号を生成出力する。

【0017】なお、このビデオ制御回路VCから出力す

るビデオ信号には、同期センサFSからの出力が得られたときに立下がる同期用変調信号が含まれる。また、この同期用変調信号は同期センサFSに最初に入力されるレーザダイオードLD<sub>1</sub>の同期用変調信号を除いて他のレーザダイオードLD<sub>2</sub>～LD<sub>m</sub>には印加しなくともよい。駆動回路DR<sub>1</sub>～DR<sub>m</sub>は、ビデオ制御回路VCからの各ビデオ信号によって半導体レーザアレイLDの各レーザダイオードLD<sub>1</sub>～LD<sub>m</sub>を変調する。

【0018】次に、このように構成したこの実施例の作用について図3以降をも参照して説明する。同期センサFSが半導体レーザアレイLDのレーザダイオードLD<sub>1</sub>からの光ビームを受光すると、この出力によって位相同期回路PSがクロック信号CK<sub>0</sub>を出力する。

【0019】それによって、このクロック信号CK<sub>0</sub>が列管理アドレスカウンタCA及び制御回路CCに入力され、メモリMEから指定されたアドレスの画像情報が読出されてラッチ回路LCにラッチされる。一方、遅延回路TCは、その位相同期回路PSのクロック信号CK<sub>0</sub>によって例えば図3に示すように半導体レーザアレイLDの各レーザダイオードLD<sub>1</sub>～LD<sub>m</sub>に対応する画像走査クロック信号CK<sub>1</sub>～CK<sub>m</sub>を生成して出力する。

【0020】なお、図3中、t<sub>dk</sub> (k=1～m)は画像走査クロック信号CK<sub>k</sub> (k=1～m)のクロック信号CK<sub>0</sub>からの遅延時間を表わす。ただし、遅延時間t<sub>d1</sub>～t<sub>dm</sub>の大小関係の規定はない。それによって、この遅延回路TCからの各画像走査クロック信号CK<sub>1</sub>～CK<sub>m</sub>がシフトクロックとして各シフトレジスタSL<sub>1</sub>～SL<sub>m</sub>に入力され、シフトレジスタSL<sub>1</sub>～SL<sub>m</sub>からラッチ回路LCからの各画像情報が逐次出力される。

【0021】このとき、遅延回路TCからの各画像走査クロック信号CK<sub>1</sub>～CK<sub>m</sub>には半導体レーザアレイLDの各レーザダイオードLD<sub>1</sub>～LD<sub>m</sub>の各光ビーム間の主走査方向での位相ずれに応じた遅延時間の時間差があるので、半導体レーザアレイLDの各レーザダイオードLD<sub>1</sub>～LD<sub>m</sub>の各ビーム間の位相差が補正される。

【0022】そこで、ビデオ制御回路VCは、このシフトレジスタSL<sub>1</sub>～SL<sub>m</sub>から転送される画像情報及び同期センサFSの出力に応じてビデオ信号を生成して駆動回路DR<sub>1</sub>～DR<sub>m</sub>に出力し、この駆動回路DR<sub>1</sub>～DR<sub>m</sub>によって半導体レーザアレイLDの各レーザダイオードLD<sub>1</sub>～LD<sub>m</sub>を変調する。

【0023】図4は半導体レーザアレイLDのレーザダイオードLD<sub>1</sub>の出力が最初に同期センサFSに入力される場合のタイミングチャートを示している。同図において、TD<sub>k</sub> (k=1～m)は、メモリMEから各データ(画像情報)を読込んだ時より、各画像情報で半導体レーザアレイLDの各レーザダイオードLD<sub>1</sub>～LD<sub>m</sub>を変調するまでの遅延時間を表わす。ただし、遅延時間TD<sub>1</sub>～TD<sub>m</sub>の間には、TD<sub>m</sub>>……>TD<sub>2</sub>>T

LD<sub>1</sub>の関係がある。

【0024】このように、この記録装置においては、複数本の光ビームの内の光センサが最初に受光する光ビームに対応した画像走査クロックによって複数本の光ビームに対応する画像情報を読出すので、各光ビームの位相差を補正する構成が簡単になる。つまり、メモリからの各光ビームに対応する各データ(画像情報)の読出しクロックが1個のクロック信号(クロック信号CK<sub>0</sub>)で済むので、アドレスカウンタも1種類で済み、メモリの構成が簡単になる。

【0025】また、各光ビーム間の位相差を各光ビームに対応するクロック信号(クロック信号CK<sub>0</sub>～CK<sub>m</sub>)で行なっているので、精度が良く高い印字品質が得られる。さらに、データ読出しラインが1本の場合には画像走査クロックのN倍(Nは光ビームの本数)以上の周波数のクロックが必要になるのに対して、各画像情報(データ)の読出しクロックの周波数を画像走査クロックの周波数と同じにできるので有利である。

【0026】また、各光ビーム間の位相差を補正するために単に各半導体レーザに対応した画像走査クロックで各半導体レーザに対応する画像情報を読出すことが考えられるが、このようにした場合にはメモリからの出力データを補正した1クロック以内の位相差を確保することが困難であるのに対して、最初に光センサに入力される光ビームで同期をとってそのクロックによって各半導体レーザに対応した画像情報を読出すことにより、1クロック以内の位相差を容易に確保することができる。

【0027】

【発明の効果】以上説明したように、この発明によれば、簡単な構成で各光ビーム間の位相差を補正することができる。

【図面の簡単な説明】

【図1】この発明の一実施形態を示すブロック図である。

【図2】同じくその半導体レーザアレイの配置及び光ビームの説明に供する説明図である。

【図3】同じくその画像走査クロックのタイミングチャートである。

【図4】同じくレーザダイオードLD<sub>1</sub>の光ビームが最初に光センサに入力される場合のタイミングチャートである。

【符号の説明】

LD：半導体レーザアレイ

LD<sub>1</sub>～LD<sub>m</sub>：レーザダイオード

FS：同期センサ

PS：位相同期回路

TC：遅延回路

ME：メモリ

LC：ラッチ回路

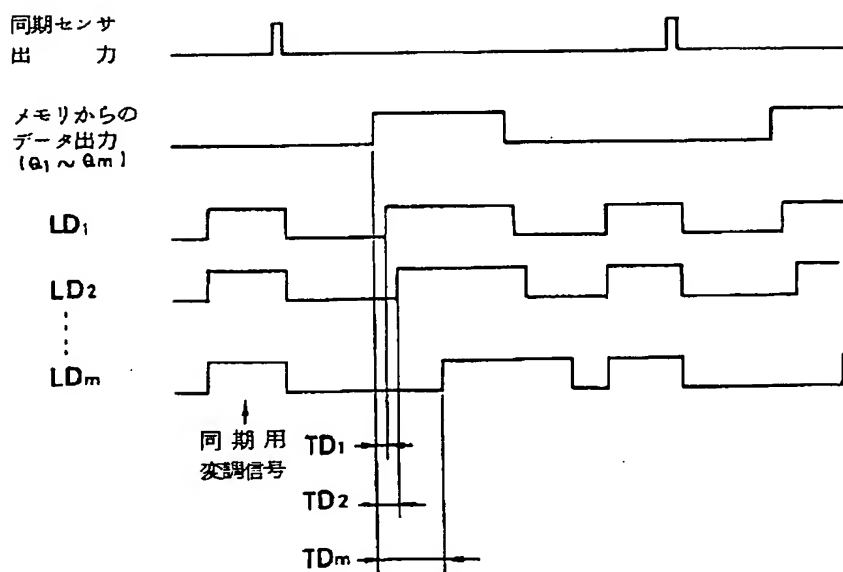
DR<sub>1</sub>～DR<sub>m</sub>：駆動回路

SL<sub>1</sub>～SL<sub>m</sub>シフトレジスタ

CC：制御回路

VC：ビデオ制御回路

【図 4】



## 【手続補正書】

【提出日】平成 8 年 5 月 31 日

## 【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正内容】

【書類名】明細書

【発明の名称】記録装置

【特許請求の範囲】

【請求項 1】 複数本の光ビームによって走査対象物を走査すると共に、画像走査領域外に設けた前記光ビームを受光する光センサの出力に基づいて前記複数本の光ビームの主走査方向の同期をとる記録装置において、前記複数本の光ビームの内の前記光センサが受光する 1 つの光ビームに対応した同じクロック信号によって前記複数本の光ビームに対応する画像情報をメモリから読み出し、その各光ビームに対応する画像情報を前記複数本の光ビームに対応して設けられた複数のシフトレジスタの入力とする画像情報読み出し手段と、前記クロック信号を基準にしてシフトクロックを生成するシフトクロック生成手段とを設け、該シフトクロック生成手段で生成されたシフトクロックによって前記複数のシフトレジスタに入力されたそれぞれの画像情報間の位相を調整するようにしたことを特徴とする記録装置。

【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、複数本の光ビームによって走査対象物を走査する記録装置に関する。

## 【0002】

【従来の技術】一般に、走査型記録装置として、例えば複数本の光ビームによって走査対象物を走査するものがある。ところで、このような記録装置においては、走査線間隔を密にするために例えば光ビームの発生光源である半導体レーザアレイを傾けて取付けている。

## 【0003】

【発明が解決しようとする課題】そのため、複数本の光ビームを同時に走査させると、各光ビーム間に主走査方向の位相差（位相ずれ）が生じるという不都合がある。この発明は上記の点に鑑みてなされたものであり、簡単な構成で各光ビーム間の位相差を補正することを目的とする。

## 【0004】

【課題を解決するための手段】この発明は上記の目的を達成するため、複数本の光ビームによって走査対象物を走査すると共に、画像走査領域外に設けた上記光ビームを受光する光センサの出力に基づいて上記複数本の光ビームの主走査方向の同期をとる記録装置において、上記複数本の光ビームの内の上記光センサが受光する 1 つの光ビームに対応した同じクロック信号によって上記複数本の光ビームに対応する画像情報をメモリから読み出し、その各光ビームに対応する画像情報を前記複数本の光ビ

ームに対応して設けられた複数のシフトレジスタの入力とする画像情報読出し手段と、上記クロック信号を基準にしてシフトクロックを生成するシフトクロック生成手段とを設け、そのシフトクロック生成手段で生成されたシフトクロックによって上記複数のシフトレジスタに入力されたそれぞれの画像情報間の位相を調整するようにしたものである。

【0005】

【発明の実施の形態】以下、この発明の実施の形態を図面に基いて具体的に説明する。図1は、この発明の一実施形態を示すブロック図である。

【0006】半導体レーザアレイLDは、複数(m個)のレーザダイオードLD<sub>1</sub>～LD<sub>m</sub>からなり、例えば図2の(イ)に示すように主走査方向に対して角度θの傾きを持たせて配置している。

【0007】したがって、この半導体レーザアレイLDの各レーザダイオードLD<sub>1</sub>～LD<sub>m</sub>から出力される光ビームのビームスポットは、図2の(ロ)に示すように主走査方向にずれた関係になる。

【0008】同期センサFSは、半導体レーザアレイLDの各レーザダイオードLD<sub>1</sub>～LD<sub>m</sub>からの光ビームによる画像走査領域外に設けられて、例えばその半導体レーザアレイLD内の1つのレーザダイオードLD<sub>1</sub>からの光ビームを受光する光センサと、この光センサの出力を整形処理等する回路とからなる。

【0009】位相同期回路PSは、同期センサFSからの受光した1つの光ビームに対応する出力が入力されたときにクロック信号CK<sub>0</sub>を生成出力する回路であり、このクロック信号CK<sub>0</sub>は同期センサFSが受光した1つの光ビームに同期したものとなる。また、この位相同期回路PSは、1クロックの1/N以内で位相合わせを行なう。ただし、N≧2である。

【0010】遅延回路TCは、位相同期回路PSからの1つのクロック信号CK<sub>0</sub>を入力して、それを基準に半導体レーザアレイLDの各レーザダイオードLD<sub>1</sub>～LD<sub>m</sub>に対応した画像走査クロック信号CK<sub>1</sub>～CK<sub>m</sub>を生成して出力するシフトクロック生成手段である。

【0011】メモリMEには、記録する画像情報(データ)が格納され、行管理アドレスカウンタRA及び列管理アドレスカウンタCAによって指定されるアドレスのデータが端子Q<sub>1</sub>～Q<sub>m</sub>から読出される。その列管理アドレスカウンタCAは、位相同期回路PSからのクロック信号CK<sub>0</sub>が入力される毎に指定アドレスを更新する。

【0012】制御回路CCは、同期センサFSの出力及び位相同期回路PSからのクロック信号CK<sub>0</sub>に基づいて、メモリMEから画像情報をクロック信号CK<sub>0</sub>によって転送する際に必要な制御信号L<sub>1</sub>、L<sub>2</sub>を生成して、制御信号L<sub>1</sub>を列管理アドレスカウンタCAに、制御信号L<sub>2</sub>を行管理アドレスカウンタRAに夫々出力す

る。なお、この制御回路CCから出力する制御信号L<sub>1</sub>は1ラインでのデータ有効範囲を決めるための信号であり、制御信号L<sub>2</sub>は改行のための信号である。

【0013】ラッチ回路LCは、メモリMEの各端子Q<sub>1</sub>～Q<sub>m</sub>からの出力を端子D<sub>1</sub>～D<sub>m</sub>に入力して、位相同期回路PSからのクロック信号CK<sub>0</sub>に同期して端子O<sub>1</sub>～O<sub>m</sub>から出力する。

【0014】つまり、このラッチ回路LCは、メモリMEからクロック信号CK<sub>0</sub>によって読出されるデータを再度クロック信号CK<sub>0</sub>によって同期をとるためのバッファ回路である。したがって、このラッチ回路LCは、メモリMEの端子Q<sub>1</sub>～Q<sub>m</sub>からの出力がシフトレジスタSL<sub>1</sub>～SL<sub>m</sub>に到達するまでに位相ずれが生じなければ不要である。

【0015】シフトレジスタSL<sub>1</sub>～SL<sub>m</sub>は、ラッチ回路LCの各端子Q<sub>1</sub>～Q<sub>m</sub>からの出力を遅延回路TCからの各クロック信号CK<sub>1</sub>～CK<sub>m</sub>をシフトクロックとして読込んで出力する。つまり、このシフトレジスタSLは、半導体レーザアレイLDの各レーザダイオードLD<sub>1</sub>～LD<sub>m</sub>から射出される各光ビーム間の整数ドット分の位相差を補正する回路である。

【0016】ビデオ制御回路VCは、シフトレジスタSL<sub>1</sub>～SL<sub>m</sub>からの入力と同期センサFSからの入力とに応じて位相同期回路PSからのクロック信号CK<sub>0</sub>を制御クロックとしてビデオ信号を生成出力する。

【0017】なお、このビデオ制御回路VCから出力するビデオ信号には、同期センサFSからの出力が得られたときに立下がる同期用変調信号が含まれる。また、この同期用変調信号は、この例では同期センサFSに最初に入力されるレーザダイオードLD<sub>1</sub>の同期用変調信号を除いて他のレーザダイオードLD<sub>2</sub>～LD<sub>m</sub>には印加しなくともよい。駆動回路DR<sub>1</sub>～DR<sub>m</sub>は、ビデオ制御回路VCからの各ビデオ信号によって半導体レーザアレイLDの各レーザダイオードLD<sub>1</sub>～LD<sub>m</sub>を変調する。

【0018】次に、このように構成したこの実施例の作用について図3以降をも参照して説明する。同期センサFSが半導体レーザアレイLDの1つのレーザダイオードLD<sub>1</sub>からの光ビームを受光すると、この出力によって位相同期回路PSがクロック信号CK<sub>0</sub>を出力する。

【0019】それによって、このクロック信号CK<sub>0</sub>が列管理アドレスカウンタCA及び制御回路CCに入力され、メモリMEから指定されたアドレスの画像情報が読出されてラッチ回路LCにラッチされる。一方、遅延回路TCは、その位相同期回路PSのクロック信号CK<sub>0</sub>によって例えば図3に示すように半導体レーザアレイLDの各レーザダイオードLD<sub>1</sub>～LD<sub>m</sub>に対応する画像走査クロック信号CK<sub>1</sub>～CK<sub>m</sub>を生成して出力する。

【0020】なお、図3中、tdk(k=1～m)は画像走査クロック信号CK<sub>k</sub>(k=1～m)のクロック信

号CK<sub>0</sub>からの遅延時間を表わす。ただし、遅延時間 $t_{d1} \sim t_{dm}$ の大小関係の規定はない。それによって、この遅延回路TCからの各画像走査クロック信号CK<sub>1</sub>～CK<sub>m</sub>がシフトクロックとして各シフトレジスタSL<sub>1</sub>～SL<sub>m</sub>に入力され、シフトレジスタSL<sub>1</sub>～SL<sub>m</sub>からラッチ回路LCからの各画像情報が逐次出力される。

【0021】このとき、遅延回路TCからの各画像走査クロック信号CK<sub>1</sub>～CK<sub>m</sub>には半導体レーザアレイLDの各レーザダイオードLD<sub>1</sub>～LD<sub>m</sub>の各光ビーム間の主走査方向での1クロック内の位相ずれに応じた遅延時間の時間差があるので、半導体レーザアレイLDの各レーザダイオードLD<sub>1</sub>～LD<sub>m</sub>の各ビーム間の1クロック内の位相差が補正される。

【0022】そこで、ビデオ制御回路VCは、このシフトレジスタSL<sub>1</sub>～SL<sub>m</sub>から転送される画像情報及び同期センサFSの出力に応じてビデオ信号を生成して駆動回路DR<sub>1</sub>～DR<sub>m</sub>に出力し、この駆動回路DR<sub>1</sub>～DR<sub>m</sub>によって半導体レーザアレイLDの各レーザダイオードLD<sub>1</sub>～LD<sub>m</sub>を変調する。

【0023】図4は半導体レーザアレイLDのレーザダイオードLD<sub>1</sub>の出力が最初に同期センサFSに入力される場合のタイミングチャートを示している。同図において、TD<sub>k</sub> (k=1～m)は、メモリMEから各データ(画像情報)を読込んだ時より、各画像情報で半導体レーザアレイLDの各レーザダイオードLD<sub>1</sub>～LD<sub>m</sub>を変調するまでの遅延時間を表わす。ただし、遅延時間TD<sub>1</sub>～TD<sub>m</sub>の間には、TD<sub>m</sub>>……>TD<sub>2</sub>>TD<sub>1</sub>の関係がある。

【0024】このように、この記録装置においては、複数本の光ビームの内の光センサが受光する1つの光ビームに対応したクロック信号によって複数本の光ビームに対応する画像情報を読み出すので、各光ビームの位相差を補正する構成が簡単になる。つまり、メモリからの各光ビームに対応する各データ(画像情報)の読出しクロックが1個のクロック信号(クロック信号CK<sub>0</sub>)で済むので、アドレスカウンタも1種類で済み、メモリの構成が簡単になる。

【0025】また、各光ビーム間の位相差の補正を各光ビームに対応するクロック信号(クロック信号CK<sub>0</sub>～CK<sub>m</sub>)で行なっているので、精度が良く補正でき、高い印字品質が得られる。さらに、データ読出しラインが1本の場合には画像走査クロックのN倍(Nは光ビームの本数)以上の周波数のクロックが必要になるのに対して、各画像情報(データ)の読出しクロックの周波数を画像走査クロックの周波数と同じにできるので有利である。

【0026】また、各光ビーム間の位相差を補正するために単に各半導体レーザに対応した画像走査クロックで各半導体レーザに対応する画像情報を読み出すことが考えられるが、このようにした場合にはメモリからの出力データを補正した1クロック以内の位相差を確保することが困難であるのに対して、光センサに入力される1つの光ビームで同期をとって、そのクロックによって各半導体レーザに対応した画像情報を読み出すことにより、1クロック以内の位相差を容易に確保することができる。

【0027】

【発明の効果】以上説明したように、この発明によれば、同じクロック信号によってメモリから同時に読み出した複数本の光ビームに対応する画像情報に対して、シフトレジスタを用いて整数ドット分(数画素～数十画素分)の位相補正を行ない、さらに、シフトクロック生成手段で生成される各シフトクロックで各シフトレジスタをそれぞれ動作させることにより、基準のクロックの1/N単位の細かい位相補正も行なうことができる。しかも、ラインバッファのような大型のメモリを必要とせず、画像情報を記憶したメモリから各光ビームに対応する画像情報を同じクロック信号によって読み出すため、アドレスカウンタも一種類で済むので、メモリの構成も簡単で安価になる。

【図面の簡単な説明】

【図1】この発明の一実施形態を示すブロック図である。

【図2】同じくその半導体レーザアレイの配置及び光ビームの説明に供する説明図である。

【図3】同じくその画像走査クロックのタイミングチャートである。

【図4】同じくレーザダイオードLD<sub>1</sub>の光ビームが最初に光センサに入力される場合のタイミングチャートである。

【符号の説明】

LD：半導体レーザアレイ

LD<sub>1</sub>～LD<sub>m</sub>：レーザダイオード

FS：同期センサ

PS：位相同期回路

TC：遅延回路

ME：メモリ

LC：ラッチ回路

DR<sub>1</sub>～DR<sub>m</sub>：駆動回路

SL<sub>1</sub>～SL<sub>m</sub>シフトレジスタ

CC：制御回路

VC：ビデオ制御回路

【手続補正2】

【補正対象書類名】図面

【補正対象項目名】図1

【補正方法】変更

【補正内容】

【図1】

